



8847

Due 11/15



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

RECEIVED

NOV 20 2002

GPB

Technology Center 2100

1800
as (08)

출원번호 : 특허출원 1998년 제 59204 호
Application Number PATENT-1998-0059204

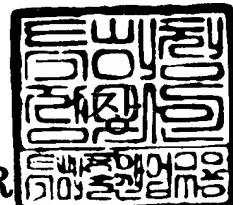
출원년월일 : 1998년 12월 28일
Date of Application DEC 28, 1998

출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002 년 09 월 09 일

특 허 청
COMMISSIONER



발송번호: 9-5-2001-022302523

발송일자: 2001.08.25

심사관	담당관	보고
여인홍	정양	

특허청 특허 결정서

출원인 성명 삼성전자 주식회사 (출원인코드: 119981042713)

주소 경기 수원시 팔달구 매탄3동 416

대리인 성명 이건주

주소 서울 종로구 명륜동3가 110-2 미화빌딩

출원번호 10-1998-0059204

발명의명칭 이더넷 매체접속제어계층에서 수신패킷의 에러 처리 방법 및 장치

청구항수 4

이 출원은 특허법 제66조의 규정에 의하여 특허결정합니다. 끝.

2001.08.25

특허청 심사4국

전자 심사담당관실 심사관 여인홍

1-1-2001-5094575-11



10-1998-0059204

2001.03.31

서울사무소출원등록과(주현아)

919980003398



10132011019980059204

방 식 심 사 란	당 당	심 사 관
		61

【서류명】 의견서

【수신처】 특허청장

【제출일자】 2001.03.31

【출원인】

【명칭】 삼성전자주식회사

【출원인코드】 1-1998-104271-3

【대리인】

【성명】 이건주

【대리인코드】 9-1998-000339-8

【사건의 표시】

【출원번호】 10-1998-0059204

【출원일자】 1998.12.28

【심사청구일자】 1998.12.28

【발명의 명칭】 이더넷 매체접속제어계층에서 수신패킷의 에러 처리 방법 및 장치

【제출원인】

【발송번호】 9-5-2000-0315910-61

【발송일자】 2000.11.30

【의견내용】 별지와 같음

【취지】 특허법시행규칙 제41조의 규정에 의하여 위와 같이 제출합니다.

대리인

이건주



【의견내용】

1998년 특허출원 제59204호(이하 본원이라 함.)에 대한 2000년 11월 30일자 거절이유에 대하여 본원 출원인은 다음과 같이 의견을 개진하고자 합니다.

- 다 음 -

1. 본원에 대한 거절이유는 다음과 같습니다.

본원 발명의 청구범위 제1항 내지 제3항은 이더넷 데이터통신에서 에러처리 방법에 관한 것으로 데이터 수신, 에러 감지, 수신 종료 및 에러발생신호 전송 단계로 이루어져 있으며 인용참증[국내공개특허공보 공개번호 97-9046호(1997.2.24)]는 데이터 수신, 에러 검출 및 재시동 단계를 구비하여 구성이 유사하고 단지 차이점은 본원은 에러 감지시 수신을 종료하고 인용참증은 재시동하는 데 있으나 이는 당업자가 용이하게 채택할 수 있는 설계 변경에 불과하고 효과 또한 인용참증에 비해 현저하다고 인정되지 않아 본원은 당해 기술분야에서 통상의 지식을 가진 자가 상기 인용참증에 의해 용이하게 발명할 수 있다고 판단됨. (특허법 제29조 제2항)

2. 위 제1점의 거절이유에 대한 본원 출원인의 견해는 다음과 같습니다.

본원 발명은 근거리통신망(LAN: Local Area Network)의 일종인 이더넷(Ethernet)의 매체접속제어계층에서 수신되는 패킷을 처리하는 기술에 관한 것입니다.

최초 출원 당시의 명세서에도 기재한 바와 같이, MAC계층에서의 수신데이터에 대한 에러 처리 방법을 포함하는 MAC 프로토콜 표준 및 논리연결제어표준에 따

르면, MAC계층에서 패킷을 수신하다가 64바이트 이하의 패킷에서 에러가 발생한 경우에는 무시해 버리도록 하고 있습니다. 그러나 64바이트를 초과하는 패킷에서의 에러가 발생하는 경우에는 그 패킷의 마지막까지 수신하여 다음 스테이지로 전송을 하고, 이와 함께 에러가 발생하였음을 나타내는 에러신호를 발생하여 전송하도록 하고 있습니다. 그러므로 필요 없는 에러 패킷에 대한 수신이라는 오버헤드(overhead)가 발생하게 되는 문제점이 있었고, 특히 다음 스테이지인 스위치(switch)는 불필요한 패킷을 수신하는 데 시간을 소비하여야 하기 때문에 그만큼 시스템의 성능이 저하되는 문제점이 있었습니다.

이러한 문제점을 해결하기 위해 본원 발명은 데이터 수신도중 에러가 감지되면 그 즉시 다음 스테이지로 패킷의 마지막을 알리는 신호와 함께 에러신호를 전송하며 물리계층에서 들어오는 데이터는 메모리에 기록하지 않도록 하고 있습니다.

이렇게 되면 에러 패킷의 수신으로 인한 오버헤드의 발생이 없어지게 되고, 다음 스테이지가 불필요한 패킷을 수신하는 데 시간을 소비하지 않아도 되기 때문에 그만큼 시스템의 성능이 좋아지는 효과가 있습니다.

도 1에서 참조부호 S2는 물리계층에서 매체접속제어계층으로 보내주는 '데이터 유효 신호'인데, 에러제어부(40)가 이 신호를 검사한 결과에 따라 FIFO(50)에 있는 패킷을 스위치 엔진 인터페이스(60)로 전송할지 여부가 결정됩니다. 만일 에러가 발생한 경우에는 그 즉시 상기 에러제어부(40)가 FIFO제어부(20)로 신호 S5를 보내서 스테이트머신(30)이 에러스테이트로 바뀌게 하여 FIFO(50)는 패킷 저장을

중지하게 하고 스위치 엔진 인터페이스(60)로는 예러신호와 수신패킷완료신호를 전송하게 합니다.

이와 같은 상세 구성요소들을 고려하지 않고, 단지 데이터 수신이나 예러 감지 등을 한다고 해서 본원을 인용참증으로부터 용이하게 실시할 수 있다고 판단해서는 안될 것이라 사료됩니다.

인용참증은 ATM계층이 물리계층으로부터 셀을 수신할 경우 셀의 동기신호에 따라 셀을 버퍼에 저장하고 셀 동기가 어긋나면 이를 복원하기 위한 셀 복원 장치 및 방법에 관한 것입니다.

상기 인용참증은 ATM 계층이 물리계층으로부터 수신셀요구신호를 수신하여 셀읽기클럭을 발생하고, 상기 셀읽기클럭에 의해 수신셀동기신호와 수신셀데이터를 입력받고, 상기 수신셀동기신호로부터 수신셀데이터를 버퍼에 저장합니다. 이때 상기 수신셀동기신호가 입력되는지 그리고 그 입력이 정해진 시간 내에 이루어진 것인지를 체크하여 마이크로프로세서에 알려주고, 입력이 정해진 시간 내에 이루어지 않는 경우에는 재시동을 합니다.

이로써 물리계층내 버퍼에 존재하는 비정상적인 데이터를 처리한 후 셀만을 ATM 계층으로 받아들이고 안정되게 셀 데이터를 ATM 계층으로 수신하는 효과가 있습니다.

이상 살펴본 바와 같이, 인용참증은 수신측(ATM 계층)에서 재시동을 해서라도 셀데이터를 수신하고자 하지만, 본원 발명은 송신측(매체접속제어계층)에서 미리 예러 패킷에 대한 필터링을 해주도록 하여 수신측(스위치)이 다른 작업을

할 수 있게 함으로써 그만큼 수신 성능이 향상되도록 했다는 점에서 해결하고자 하는 문제점이 전혀 상이하다고 하겠습니다.

하오니, 심사관께서는 본 의견서와 동일자로 제출되는 보정서에 의해 재심사
하시어 본원에 대한 특허사정을 하여 주시기 바랍니다.

1-1-2001-5094576-67



10-1998-0059204

2001.03.31

서울사무소출원등록과(주현아)

919980003398

10132711019980059204

방 식	당 당	심 사 관
심 사 란		

정
보

【서류명】 명세서 등 보정서

【수신처】 특허청장

【제출일자】 2001.03.31

【제출인】

【명칭】 삼성전자주식회사

【출원인코드】 1-1998-104271-3

【사건과의 관계】 출원인

【대리인】

【성명】 이건주

【대리인코드】 9-1998-000339-8

【포괄위임등록번호】 1999-006038-0

【사건의 표시】

【출원번호】 10-1998-0059204

【출원일자】 1998.12.28

【심사청구일자】 1998.12.28

【발명의 명칭】 이더넷 매체접속제어계층에서 수신패킷의 에러 처리 방법 및 장치

【제출원인】

【발송번호】 9-5-2000-0315910-61

【발송일자】 2000.11.30

【보정할 서류】 명세서등

【보정할 사항】

【보정대상항목】 전문보정

【보정방법】 별지와 같음

【보정내용】 별지와 같음

【추가청구항수】 2

【취지】 특허법시행규칙 제13조의 규정에 의하여 위와 같이 제출합니다.

대리인

이건주



【수수료】

【보정료】 0 원

【추가심사청구료】 64,000 원

【기타 수수료】 0 원

【합계】 64,000 원

【첨부서류】 1. 보정내용을 증명하는 서류_1통[명세서 정, 부본]

【요약서】

【요약】

본 발명은 이더넷에서 물리계층으로부터 패킷을 수신하고, 이 수신된 패킷을 스위치로 전송하는 매체접속제어(MAC)계층에서의 패킷 수신시 에러를 처리하는 장치를 개시하고 있다. 이더넷에서 물리계층으로부터 패킷을 수신하여 선입선출메모리에 저장하였다가 스위치로 전송하는 매체접속제어(MAC)계층에서의 수신 패킷을 처리하는 방법에 있어서, 상기 물리계층으로부터 패킷을 수신하고, 이 수신되는 패킷을 상기 선입선출메모리에 저장하는 제1과정과, 상기 패킷을 수신하는 동안, 상기 물리계층으로부터 수신되는 데이터 유효 신호의 상태를 검사하여 에러 발생 여부를 체크하는 제2과정과, 상기 제2과정에서 에러가 발생이 감지된 경우, 상기 수신되는 패킷을 상기 선입선출메모리에 저장하는 동작을 중지시키는 동시에 상기 스위치로의 패킷 전송도 중지시키고 상기 스위치로 에러가 발생하였음을 나타내는 신호 및 수신패킷의 종료를 나타내는 신호를 전송하는 제3과정으로 이루어짐을 특징으로 한다.

【대표도】

도 3

【명세서】

【발명의 명칭】

이더넷 매체접속제어계층에서 수신패킷의 에러 처리 방법 및 장치

【도면의 간단한 설명】

도 1은 본 발명에 따른 이더넷 매체접속제어(MAC)계층에서 패킷을 수신하여 처리하는 구성을 보여주는 도면.

도 2는 도 1에 도시된 스테이트머신에 의한 수신데이터 처리의 스테이트 디어그램.

도 3은 도 1에 도시된 선입선출(FIFO)제어부에 의해 수행되는 수신패킷에 대한 에러처리시 동작타이밍을 보여주는 도면.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래 기술】

본 발명은 이더넷의 매체접속제어계층에서 수신되는 패킷을 처리하는 방법 및 장치에 관한 것으로, 특히 수신패킷의 에러가 발생한 경우의 처리 방법 및 장치에 관한 것이다.

근거리통신망(LAN: Local Area Network)은 비교적 좁은 지역 내에 있는 데이터 통신 단말을 상호 연결하는 통신망이다. 이러한 LAN의 망 구성 형태(topology)

는 버스(Bus)형, 링(Ring)형, 스타(Star)형, 트리(Tree)형으로 구분된다. 이중에서 가장 일반적으로 사용되고 있는 형태가 버스형 망으로, 이 형태를 사용하는 대표적인 LAN으로 이더넷(Ethernet)이 있다.

한편 이더넷(Ethernet)의 매체접속제어(MAC: Media Access Control)계층에서 는 물리(Physical)계층으로부터의 패킷(Packet)을 수신하여 처리하게 된다. 이때 물리계층으로부터 데이터를 수신할 시 에러가 발생하는 경우에는 그에 해당하는 에러처리를 MAC계층에서 처리하게 된다. 보다 구체적으로 말하면, MAC계층에서는 물리계층으로부터의 패킷을 수신하다가 64바이트(bytes)를 초과하는 패킷에서 에러가 발생하는 경우에는 그 패킷의 마지막까지 모든 패킷을 수신하여 다음 스테이지(stage)로 전송을 하며, 이와 함께 에러의 발생 사실을 나타내는 에러신호(error signal)를 전송하게 된다. 이러한 MAC계층에서의 수신데이터에 대한 에러 처리 방법을 포함하는 MAC 프로토콜 표준 및 논리연결제어(LLC: Logical Link Control) 표준은 이미 IEEE(Institute of Electrical and Electronics Engineers) 802 위원회에 의해 발표된 바 있으며, 그 표준은 ISO(International Standard Organization)에서도 그대로 채택된 바 있다.

상기 표준내용에 따르면, MAC계층에서 패킷을 수신하다가 64바이트 이하의 패킷에서 에러가 발생한 경우에는 무시해 버리도록 하고 있다. 그러나 64바이트를 초과하는 패킷에서의 에러가 발생하는 경우에는 그 패킷의 마지막까지 수신하여 다음 스테이지(예: 스위치)로 전송을 하고, 이와 함께 에러가 발생하였음을 나타내는 에러신호를 발생하여 전송하도록 하고 있다. 그러므로 필요 없는 에러 패킷에 대한

수신이라는 오버헤드(overhead)가 발생하게 되는 문제점이 있다. 특히 다음 스테이지인 스위치(Switch)는 불필요한 패킷을 수신하는 데 시간을 소비하여야 하기 때문에 그만큼 시스템의 성능이 저하되는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

따라서 본 발명의 목적은 이더넷의 MAC계층에서 에러가 발생된 패킷을 수신함에 따른 오버헤드를 줄이고, 불필요한 패킷을 수신하는 데 소비하여야 하는 시간을 없애는 동시에 수신 성능을 향상시키는 방법 및 장치를 제공함에 있다.

상기한 목적을 달성하기 위한 본 제1발명은 이더넷에서 물리계층으로부터 패킷을 수신하여 선입선출메모리에 저장하였다가 스위치로 전송하는 매체접속제어(MAC)계층에서의 수신 패킷을 처리하는 방법에 있어서, 상기 물리계층으로부터 패킷을 수신하고, 이 수신되는 패킷을 상기 선입선출메모리에 저장하는 제1과정과, 상기 패킷을 수신하는 동안, 상기 물리계층으로부터 수신되는 데이터 유효 신호의 상태를 검사하여 에러 발생 여부를 체크하는 제2과정과, 상기 제2과정에서 에러가 발생이 감지된 경우, 상기 수신되는 패킷을 상기 선입선출메모리에 저장하는 동작을 중지시키는 동시에 상기 스위치로의 패킷 전송도 중지시키고 상기 스위치로 에러가 발생하였음을 나타내는 신호 및 수신패킷의 종료를 나타내는 신호를 전송하는 제3과정으로 이루어짐을 특징으로 한다.

상기한 목적을 달성하기 위한 본 제2발명은 이더넷에서 물리계층으로부터 패킷을 수신하여 선입선출메모리에 저장하였다가 스위치로 전송하는,

매체접속제어(MAC)계층에서의 수신 패킷 처리 장치에 있어서, 소정의 제어를 받아 패킷을 저장하였다가 상기 스위치로 전송하는 선입선출메모리와, 상기 패킷이 수신 되는 동안, 상기 물리계층으로부터 수신되는 데이터 유효 신호의 상태를 검사하여 에러 발생을 감지하면 에러발생신호를 출력하는 에러제어부와, 상기 데이터 유효 신호와 에러발생신호에 따라 노말상태, 에러상태, 혹은 아이들상태로 변환되는 스테이트머신을 가지며, 상기 물리계층으로부터 수신되는 패킷이 상기 선입선출메모리에 저장되거나 상기 선입선출메모리에서 독출되어 상기 스위치로 전송되도록 제어하는 선입선출메모리제어부로 구성되며, 상기 스테이트머신이 에러상태일 때, 선입선출메모리제어부는 상기 선입선출메모리에 수신 패킷을 저장하는 동작을 중지시키는 동시에 상기 스위치로의 패킷 전송도 중지시키고 상기 스위치로 에러가 발생하였음을 나타내는 신호 및 수신패킷의 종료를 나타내는 신호를 전송함을 특징으로 한다.

【발명의 구성 및 작용】

이하 본 발명의 바람직한 실시예의 상세한 설명이 첨부된 도면들을 참조하여 설명될 것이다. 하기에서 본 발명을 설명함에 있어, 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다. 그리고 후술되는 용어들은 본 발명에서의 기능을 고려하여 정의 내려진 용어들로서 이는 사용자 또는 칩 설계자의 의도 또는 관례 등에 따라 달라질 수 있으므로, 그 정의는 본 명세서 전반에 걸친 내용을 토

대로 내려져야 할 것이다.

도 1은 본 발명에 따른 MAC계층에서의 수신 패킷에 대한 에러를 처리하는 구성을 보여주는 도면이다. MAC계층에서는 물리계층(PHYSICAL LAYER)(10)으로부터 패킷을 수신하여 선입선출(FIFO; First In First Out)메모리(50)에 저장하였다가 스위치엔진인터페이스(SWITCH ENGINE INTERFACE)(60)를 통해 다음 스테이지(stage)인 스위치(도시하지 않음)로 전송하게 된다. 이러한 MAC계층에는 FIFO제어부(20), 에러제어부(40) 및 FIFO메모리(50)가 구비된다. 그리고 상기 FIFO제어부(20)의 내부에는 스테이트머신(STATE MACHINE)(30)이 구비된다.

상기 도 1에서, 에러제어부(40)는 물리계층(10)으로부터 패킷(S2)이 FIFO제어부(20)로 수신될 시 이 수신되는 패킷(예: 4비트)에 에러가 발생하였는지 여부를 감지한다. 상기 에러제어부(40)는 수신되는 패킷의 충돌(collision), FIFO메모리(50)의 오버플로우(overflow), 패킷에 대한 패리티(parity) 및 CRC(Cyclic Redundancy Code)에러 등을 체크함으로써 수신 패킷에 에러가 발생하였는지 여부를 감지한다. 수신 패킷에 에러가 발생한 것으로 감지되는 경우, 에러제어부(40)는 이 사실을 나타내는 신호(S5: ERROR)를 FIFO제어부(20)로 출력한다. FIFO메모리(50)는 FIFO제어부(20)에 의한 제어신호(S3)에 따라 제어되어 물리계층(10)으로부터 수신되는 패킷을 저장하였다가 스위치엔진 인터페이스(60)로 전송하는 역할을 한다. FIFO제어부(20)는 물리계층(10)으로부터 수신되는 패킷을 FIFO메모리(50)에 저장하였다가 스위치엔진 인터페이스(60)로 전송하는 동작을 제어한다. 이러한 제어동작은 FIFO제어부(20)가 제어신호(S3)를 이용함으로써 이루어

지게 된다. 이때의 제어신호(S3)로는 출력인에이블(OEN: Output ENable)신호, 라이트인에이블(WEN: Write ENable)신호, 칩선택(/CS: Chip Select)신호가 될 수 있다. 상기 FIFO제어부(20)의 내부에는 스테이트머신(STATE MACHINE)(30)이 구비되어 있다. 이 스테이트머신(30)은 에러제어부(40)로부터의 에러신호(S5)에 따라 FIFO제어부(20)의 동작상태를 결정한다. 본 발명의 경우 스테이트머신(30)에 의해 FIFO제어부(20)는 아이들스테이트(IDLE STATE), 노말스테이트(NORMAL STATE) 또는 에러스테이트(ERROR STATE)로 동작하게 된다.

그리고 도 1에서 미설명한 참조부호 S1은 물리계층(10)으로부터 패킷이 수신됨을 나타내는 신호이고, S4는 FIFO제어부(20)가 패킷수신시 에러가 발생하였음을 나타내는 신호(ERR) 및 패킷의 수신을 완료하였음을 나타내는 신호(EOP: End Of Packet)이다.

도 2는 상기 스테이트머신(30)에 의해 결정되는 FIFO제어부(20)의 동작상태를 보여주는 스테이트다이어그램(STATE DIAGRAM)이고, 도 3은 도 1에 도시된 FIFO제어부(20)에 의해 수행되는 수신패킷에 대한 에러처리시 동작타이밍을 보여주는 도면이다.

지금, 도 1의 물리계층(10)으로부터 새로운 패킷이 수신되기 시작하여 정상적인 패킷이 수신되는 것으로 에러제어부(40)에 의해 감지되는 경우, FIFO제어부(20)는 이 수신된 패킷을 FIFO메모리(50)에 저장하였다가 스위치엔진 인터페이스(60)로 전송을 시작한다. 이와 같이 정상적인 패킷이 수신되는 경우는 S1(DATA VALID SIGNAL)신호가 레벨 "1"인 경우에 해당하며, 이러한 경우에 FIFO제

어부(20)는 노말스테이트(도 2의 34)에 있게 된다.

한편, 스위치엔진 인터페이스(60)로 수신패킷을 전송하는 도중에 에러가 발생한 것으로 에러제어부(40)에 의해 감지되는 경우(S5신호가 레벨 "1"인 경우), FIFO제어부(20)는 에러스테이트(도 2의 36)로 바뀌게 된다. 이러한 경우 FIFO제어부(20)는 스위치엔진 인터페이스(60)로의 수신패킷 전송을 중지한다. 보다 구체적으로 말하면, FIFO제어부(20)는 도 3에 도시된 바와 같이 FIFO메모리(50)로 레벨 "1"의 칩선택신호(/CS)를 발생하여 수신패킷이 FIFO메모리(50)로 저장됨을 차단하고, 이와 함께 에러가 발생하였음을 나타내는 신호(ERR)와, 수신패킷의 완료를 나타내는 신호(EOP)를 발생하여 스위치엔진 인터페이스(60)로 전송한다. 참고적으로, 종래에는 수신패킷의 에러가 발생한 경우, FIFO제어부(20)는 그 에러가 발생한 패킷의 수신이 완료될 때까지 패킷을 수신하여 스위치엔진 인터페이스(60)로 전송하고, 패킷의 마지막까지 수신이 완료된 시점에서 에러가 발생하였음을 나타내는 신호 및 수신패킷의 완료를 나타내는 신호를 발생하여 스위치엔진 인터페이스(60)로 전송하게 된다.

이러한 에러 처리 동작 중에, 물리계층(10)으로부터 수신될 패킷이 없음을 나타내는 레벨 "0"의 S1신호가 수신되는 경우, FIFO제어부(20)는 아이들스테이트(32)로 바뀌어 새로운 상태가 된다. 이와 같은 아이들스테이트(32)에서 FIFO제어부(20)는 물리계층(10)으로부터 다음에 수신될 패킷을 준비하게 된다.

【발명의 효과】

상술한 바와 같이 본 발명은 이더넷에서 MAC계층이 물리계층으로부터 수신되는 패킷의 에러가 있는 경우에는 이때의 패킷을 무시하고, 다음 스테이지인 스위치 층으로 에러가 발생하였다는 사실을 나타내는 신호들을 전송하여 알려준다. 이에 따라 본 발명은 MAC계층에서 에러가 발생된 패킷을 수신함에 따른 오버헤드를 줄일 수 있으며, 또한 불필요한 패킷을 수신하는 데 소비하여야 하는 시간을 제거할 수 있는 이점이 있다. 이러한 이점은 결과적으로 이더넷의 MAC계층에서 수신성능을 향상시키는 이점이 있다.

한편 본 발명의 상세한 설명에서는 구체적인 실시 예에 관해 설명하였으나, 본 발명의 범위에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능함은 물론이다. 그러므로 본 발명의 범위는 설명된 실시 예에 국한되어 정해져서는 안되며 후술하는 특허청구의 범위뿐만 아니라 이 특허청구의 범위와 균등한 것들에 의해 정해져야 한다.

【특허청구범위】

【청구항 1】 (삭제)

【청구항 2】 (정정)

이더넷에서 물리계층으로부터 패킷을 수신하여 선입선출메모리에 저장하였다
가 스위치로 전송하는 매체접속제어(MAC)계층에서의 수신 패킷을 처리하는 방법에
있어서,

상기 물리계층으로부터 패킷을 수신하고, 이 수신되는 패킷을 상기 선입선출
메모리에 저장하는 제1과정과,

상기 패킷을 수신하는 동안, 상기 물리계층으로부터 수신되는 데이터 유효
신호의 상태를 검사하여 예러 발생 여부를 체크하는 제2과정과,

상기 제2과정에서 예러가 발생이 감지된 경우, 상기 수신되는 패킷을 상기
선입선출메모리에 저장하는 동작을 중지시키는 동시에 상기 스위치로의 패킷 전송
도 중지시키고 상기 스위치로 예러가 발생하였음을 나타내는 신호 및 수신패킷의
종료를 나타내는 신호를 전송하는 제3과정으로 이루어짐을 특징으로 방법.

【청구항 3】 (정정)

제2항에 있어서,

상기 제3과정 수행후, 상기 물리계층으로부터 수신되는 데이터 유효 신호의
상태를 검사하여 유효 상태로 판단되면 상기 물리계층으로부터 다음 패킷을 수신할

준비를 하는 과정을 더 포함함을 특징으로 하는 방법.

【청구항 4】(신설)

이더넷에서 물리계층으로부터 패킷을 수신하여 선입선출메모리에 저장하였다가 스위치로 전송하는, 매체접속제어(MAC)계층에서의 수신 패킷 처리 장치에 있어서,

소정의 제어를 받아 패킷을 저장하다가 상기 스위치로 전송하는 선입선출 메모리와,

상기 패킷이 수신되는 동안, 상기 물리계층으로부터 수신되는 데이터 유효 신호의 상태를 검사하여 에러 발생을 감지하면 에러발생신호를 출력하는 에러제어부와,

상기 데이터 유효 신호와 에러발생신호에 따라 노말상태, 에러상태, 혹은 아 이들상태로 변환되는 스테이트머신을 가지며, 상기 물리계층으로부터 수신되는 패킷이 상기 선입선출메모리에 저장되거나 상기 선입선출메모리에서 독출되어 상기 스위치로 전송되도록 제어하는 선입선출메모리제어부로 구성되며,

상기 스테이트머신이 에러상태일 때, 선입선출메모리제어부는 상기 선입선출 메모리에 수신 패킷을 저장하는 동작을 중지시키는 동시에 상기 스위치로의 패킷 전송도 중지시키고 상기 스위치로 에러가 발생하였음을 나타내는 신호 및 수신패킷의 종료를 나타내는 신호를 전송함을 특징으로 하는 장치.

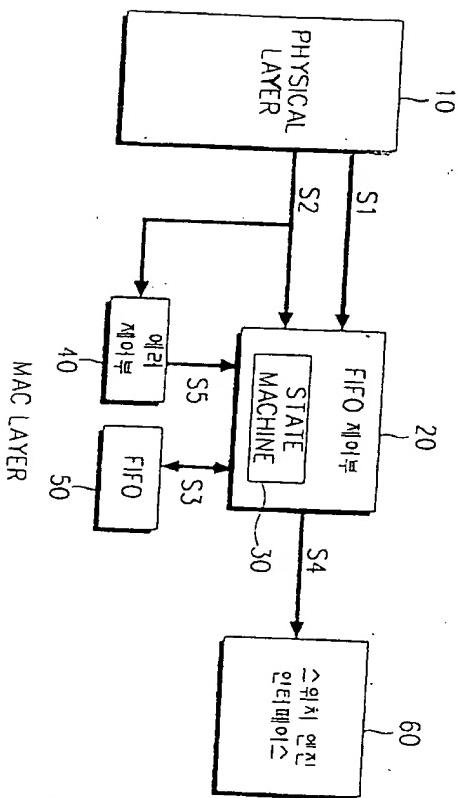
【청구항 5】(신설)

제4항에 있어서,

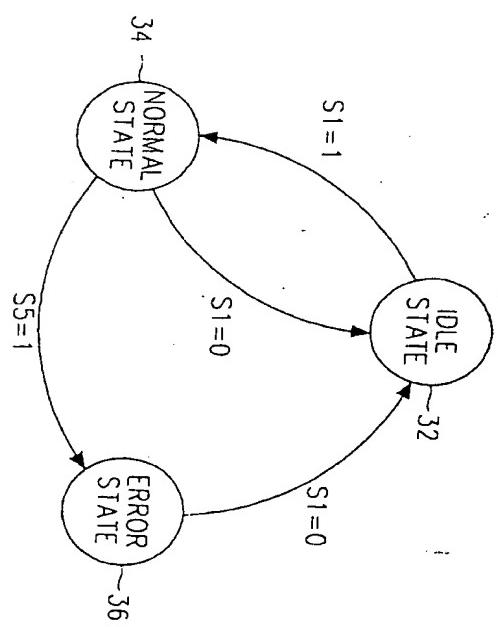
상기 선입선출메모리제어부는 상기 스테이트머신이 에러상태인 동안에는 상기 물리계층으로부터 수신되는 패킷을 계속 무시하다가, 상기 데이터 유효 신호가 정상상태로 전환되어 상기 스테이트머신이 아이들상태로 바뀌면, 다음 패킷을 수신 할 준비를 함을 특징으로 하는 수신 패킷의 에러 처리방법.

【부】

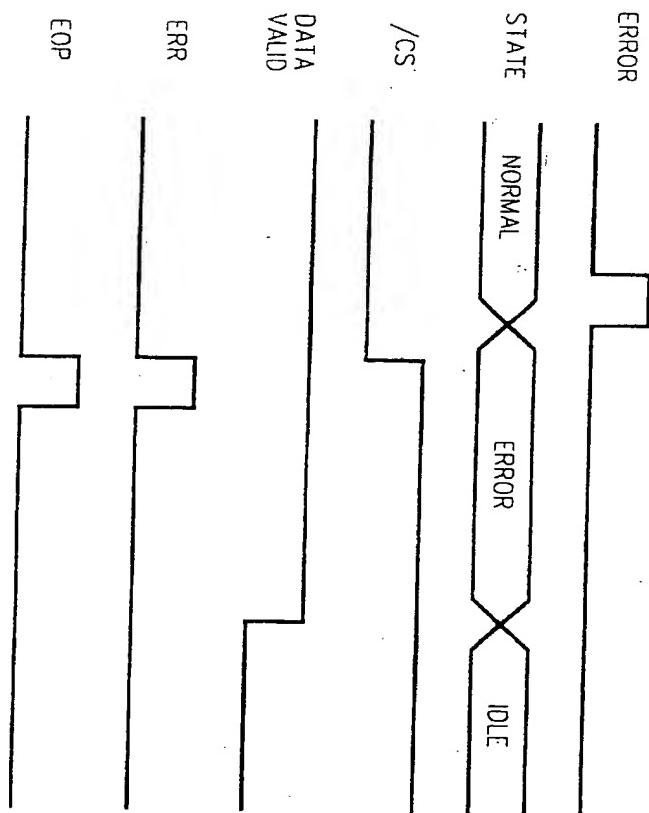
【부 1】



【 2】



【H 3】



1-1-2001-5061465-35



10-1998-0059204

2001.02.28

서울사무소출원등록과(이동길)

919980003398

00125011019980059204

방 식 심 사 관	당 당	심 사 관
		6-1

【서류명】 지정기간연장신청서

【수신처】 특허청장

【제출일자】 2001.02.28

【제출인】

【명칭】 삼성전자 주식회사

【출원인코드】 1-1998-104271-3

【사건과의 관계】 출원인

【대리인】

【성명】 이건주

【대리인코드】 9-1998-000339-8

【포괄위임등록번호】 1999-006038-0

【사건의 표시】

【출원번호】 10-1998-0059204

【출원일자】 1998.12.28

【심사청구일자】 1998.12.28

【발명의 명칭】 이더넷 매체접속제어계층에서 수신패킷의 에러 처리방법

【기간연장의 표시】

【제출할 서류】 의견서

【발송번호】 9-5-2000-0315910-61

【연장이유】 출원인 사정에 의함

【연장회수】 2

【제출마감일자】 2001.02.28

【연장희망기간】 1월

【취지】 특허법 제15조의 규정에 의하여 위와 같이 신청서를 제출합니다.

대리인

이건주



【수수료】 34,000 원

This Page Blank (uspto)

1-1-2001-5028692-74



10-1998-0059204

2001.01.30

서울사무소출원등록과(주현아)

919980003398



00125011019980059204

방식	담당	심사관
심사란		이건주

【서류명】 지정기간연장신청서

【수신처】 특허청장

【제출일자】 2001.01.30

【제출인】

【명칭】 삼성전자 주식회사

【출원인코드】 1-1998-104271-3

【사건과의 관계】 출원인

【대리인】

【성명】 이건주

【대리인코드】 9-1998-000339-8

【포괄위임등록번호】 1999-006038-0

【사건의 표시】

【출원번호】 10-1998-0059204

【출원일자】 1998.12.28

【심사청구일자】 1998.12.28

【발명의 명칭】 이더넷 매체접속제어계층에서 수신패킷의 에러 처리방법

【기간연장의 표시】

【제출할 서류】 의견서

【발송번호】 9-5-2000-0315910-61

【연장이유】 출원인 사정에 의함

【연장회수】 1

【제출마감일자】 2001.01.31

【연장희망기간】 1월

【취지】 특허법 제15조의 규정에 의하여 위와 같이 신청서를 제출합니다.

대리인

이건주

【수수료】 20,000 원

This Page Blank (uspto)

발송번호: 9-5-2000-03155-061

발송일자: 2000.11.30

제출기일: 2001.01.31

관	담당관	국장	보고
이인홍	김민관		

특허청 의견제출통지서

출원인 성명 삼성전자 주식회사 (출원인코드: 119981042713)

주소 경기도 수원시 팔달구 매탄3동 416

대리인 성명 이건주

주소 서울시 종로구 명륜동4가 110-2(미화빌딩)

출원번호 10-1998-0059204

발명의명칭 이더넷 매체접속제어계층에서 수신패킷의 에러 처리방법

이 출원에 대한 심사결과 거절이유가 있어 아래와 같이 통지하오니 의견이 있는 경우에는 특허법 제 63조의 규정에 의하여 의견서를, 보정이 필요한 경우에는 특허법 제47조제2항제3호의 규정에 의하여 보정서를 위의 기간내에 제출하여 주시기 바랍니다.(위의 기간은 매회 1월 단위로 연장신청할 수 있으며, 별도의 기간연장승인통지는 하지 않습니다.)

[이유]

이 출원의 특허청구범위 제1,2,3항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

[아래]

국내공개특허공보 공개번호 97-9046호 (1997.02.24)

본원 발명의 청구범위 제1항 내지 제3항은 이더넷 데이터통신에서 에러처리방법에 관한 것으로 데이터 수신, 에러 감지, 수신종료 및 에러발생신호 전송 단계로 이루어져 있으며 상기 인용참증은 데이터 수신, 에러 검출 및 재시동 단계를 구비하여 구성이 유사하고 단지 차이점은 본원은 에러 감지 시 수신을 종료하고 인용참증은 재시동하는 데 있으나 이는 당업자가 용이하게 채택할 수 있는 설계변경에 불과하고 효과 또한 인용참증에 비해 현저하다고 인정되지 않아 본원은 당해 기술 분야에서 통상의 지식을 가진 자가 상기 인용참증에 의해 용이하게 발명할 수 있다고 판단됩니다.

This Page Blank (uspto)

[첨 부]

첨부1 국내공개특허공보97-9046호

끝.

2000.11.30

특허청 심사4국

심사관

여인홍

<<안내>>

문의사항이 있으시면 ☎로 문의하시기 바랍니다.

분류변경신청서

출원번호 10-1998-0059204

출원일자 1998.12.28

심사청구일자 1998.12.28

발명의명칭 이더넷 매체접속제어계층에서 수신패킷의 에러 처리방법

현재분류 H04L 1/00

변경후분류 H04L 29/10

변경후심사관 여인홍 (인)

변경후심사담당관 이호기

변경사유

매체접속제어계층에 관한 것임.

위와 같이 분류변경하고자 합니다.

oo · 11 · 18

심사관정용주



10-98-059204



98.12.28

관사·심사·판정
2009. 1. 29.

【서류명】 특허출원서

【수신처】 특허청장 귀하

【원서번호】 7

【제출일자】 1998. 12. 28

【국제특허분류】 G06F

【발명의 국문명칭】 이더넷 매체접속제어계층에서 수신패킷의 에러 처리방법

【발명의 영문명칭】 ERROR PROCESSING METHOD OF RECEPTION PACKET IN MEDIA ACCESS CONTROL LAYER OF ETHERNET

【출원인】

【국문명칭】 삼성전자주식회사

【영문명칭】 SAMSUNG ELECTRONICS CO., LTD.

【대표자】 윤종용

【출원인코드】 14001979

【출원인구분】 국내상법상법인

【우편번호】 442-742

【주소】 경기도 수원시 팔달구 매탄동 416

【국적】 KR

【대리인】

【성명】 이건주

【대리인코드】 H245

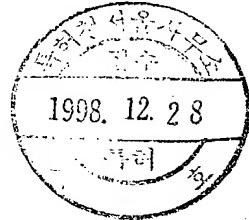
【전화번호】 02-744-0305

【우편번호】 110-524

【주소】 서울특별시 종로구 명륜동4가 110-2

【발명자】

【국문성명】 오슬환



【영문성명】 OH, Seung Hwan

【주민등록번호】 690208-1551918

【우편번호】 151-019

【주소】 서울특별시 관악구 신림9동 251-246

【국적】 KR

【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다.

대리인

이건주



【심사청구】 특허법 제60조의 규정에 의하여 위와 같이 출원심사를 청구합니다.

대리인

이건주



【수수료】

【기본출원료】	14	면	29,000	원
【가산출원료】	0	면	0	원
【우선권주장료】	0	건	0	원
【심사청구료】	3	항	205,000	원
【합계】			234,000	원

【첨부서류】 1. 요약서, 명세서(및 도면) 각 1통

2. 출원서 부본, 요약서, 명세서(및 도면)을 포함하는 **EN**을 **1통**

3. 위임장(및 동 번역문)

권리의무부 (등록번호)	제작자	집행부	판부	천연부	제작부	심판부	기획부
기획본부	제작부	집행부	판부	천연부	제작부	심판부	기획부
가산료	제작부	집행부	판부	천연부	제작부	심판부	기획부
제작부	제작부	집행부	판부	천연부	제작부	심판부	기획부
제작부	제작부	집행부	판부	천연부	제작부	심판부	기획부

위 금액을 영수하였습니다.

ପ୍ରକାଶକ

수 자 인	한국은행취급점 영 수 인
수1 98.12. 수1	

【요약서】

【요약】

본 발명은 이더넷에서 물리계층으로부터 패킷을 수신하고, 이 수신된 패킷을 스위치로 전송하는 매체접속제어(MAC)계층에서의 패킷 수신시 에러를 처리하는 방법을 개시하고 있다. / 이러한 본 발명에 따른 MAC계층에서의 수신 패킷 에러 처리 방법은: 물리계층으로부터 패킷을 수신하는 도중에 에러를 감지하는 과정과, 상기 에러 감지과정에서 에러가 감지되지 않는 경우에는 상기 수신되는 패킷을 상기 스위치로 전송하는 과정과, /상기 에러 감지과정에서 에러가 감지되는 경우에는 상기 수신되는 패킷을 상기 스위치로 전송할을 차단하는 과정으로 이루어진다.

【대표도】

도 3

【명세서】

【발명의 명칭】

이더넷 매체접속제어계층에서 수신패킷의 에러 처리방법

【도면의 간단한 설명】

도 1은 본 발명에 따른 이더넷 매체접속제어(MAC)계층에서 패킷을 수신하여 처리하는 구성을 보여주는 도면.

도 2는 도 1에 도시된 스테이트머신에 의한 수신데이터 처리의 스테이트 디아그램.

도 3은 도 1에 도시된 선입선출(FIFO)제어부에 의해 수행되는 수신패킷에 대한 에러처리시 동작타이밍을 보여주는 도면.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

본 발명은 이더넷의 매체접속제어계층에서 수신되는 패킷을 처리하는 방법에 관한 것으로, 특히 수신패킷의 에러가 발생한 경우의 처리 방법에 관한 것이다.

근거리통신망(LAN: Local Area Network)은 비교적 좁은 지역 내에 있는 데이터 통신 단말을 상호 연결하는 통신망이다. 이러한 LAN의 망 구성 형태(topology)는 버스(Bus)형, 링(Ring)형, 스타(Star)형, 트리(Tree)형으로 구분된다. 이중에서

가장 일반적으로 사용되고 있는 형태가 버스형 망으로, 이 형태를 사용하는 대표적인 LAN으로 이더넷(Ethernet)이 있다.

한편 이더넷(Ethernet)의 매체접속제어(MAC: Media Access Control) 계층에서 는 물리(Physical)계층으로부터의 패킷(Packet)을 수신하여 처리하게 된다. 이때 물리계층으로부터 데이터를 수신할 시 에러가 발생하는 경우에는 그에 해당하는 에러처리를 MAC계층에서 처리하게 된다. 보다 구체적으로 말하면, MAC계층에서는 물리계층으로부터의 패킷을 수신하다가 64바이트(bytes)를 초과하는 패킷에서 에러가 발생하는 경우에는 그 패킷의 마지막까지 모든 패킷을 수신하여 다음 스테이지(stage)로 전송을 하며, 이와 함께 에러의 발생 사실을 나타내는 에러신호(error signal)를 전송하게 된다. 이러한 MAC계층에서의 수신데이터에 대한 에러 처리 방법을 포함하는 MAC 프로토콜 표준 및 논리연결제어(LLC: Logical Link Control) 표준은 이미 IEEE(Institute of Electrical and Electronics Engineers) 802 위원회에 의해 발표된 바 있으며, 그 표준은 ISO(International Standard Organization)에서도 그대로 채택된 바 있다.

상기 표준내용에 따르면, MAC계층에서 패킷을 수신하다가 64바이트 이하의 패킷에서 에러가 발생한 경우에는 무시해 버리도록 하고 있다. 그러나 64바이트를 초과하는 패킷에서의 에러가 발생하는 경우에는 그 패킷의 마지막까지 수신하여 다음 스테이지(예: 스위치)로 전송을 하고, 이와 함께 에러가 발생하였음을 나타내는 에러신호를 발생하여 전송하도록 하고 있다. 그러므로 필요없는 에러 패킷에 대한 수신이라는 오버헤드(overhead)가 발생하게 되는 문제점이 있다. 특히 다음 스테이

지인 스위치(Switch)는 불필요한 패킷을 수신하는데 시간을 소비하여야 하기 때문에 그만큼 시스템의 성능이 저하되는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

따라서 본 발명의 목적은 이더넷의 MAC계층에서 에러가 발생된 패킷을 수신함에 따른 오버헤드를 줄이는 방법을 제공함에 있다.

본 발명의 다른 목적은 이더넷의 MAC계층에서 불필요한 패킷을 수신하는데 소비하여야하는 시간을 제거하는 방법을 제공함에 있다.

본 발명의 또다른 목적은 이더넷의 MAC계층에서 수신성능을 향상시키는 방법을 제공함에 있다.

이러한 목적들을 달성하기 위한 본 발명은 이더넷에서 물리계층으로부터 패킷을 수신하고, 이 수신된 패킷을 스위치로 전송하는 MAC계층에서의 패킷 수신시 에러를 처리하는 방법을 개시하고 있다.

본 발명의 제1견지(aspect)에 따르면 MAC계층에서의 수신 패킷 에러 처리 방법은: 물리계층으로부터 패킷을 수신하는 도중에 에러를 감지하는 과정과, 상기 에러 감지과정에서 에러가 감지되지 않는 경우에는 상기 수신되는 패킷을 상기 스위치로 전송하는 과정과, 상기 에러 감지과정에서 에러가 감지되는 경우에는 상기 수신되는 패킷을 상기 스위치로 전송하는 과정으로 이루어진다.

본 발명의 제2견지에 따르면, 이더넷에서 물리계층으로부터 패킷을 수신하여 FIFO메모리에 저장하였다가 스위치로 전송하는 MAC계층에서의 수신 패킷을 처리하

는 방법은; 상기 물리계층으로부터 패킷을 수신하고, 이 수신되는 패킷을 상기 FIFO메모리에 저장하는 과정과, 상기 패킷을 수신하는 도중에 에러를 감지하는 과정과, 상기 에러 감지과정에서 에러가 감지된 경우, 상기 수신되는 패킷을 상기 FIFO메모리에 저장하는 동작을 중지하는 과정과, 상기 패킷저장 중지과정을 수행함과 동시에 상기 스위치로 에러가 발생하였음을 나타내는 신호 및 수신패킷의 종료를 나타내는 신호를 전송하는 과정으로 이루어진다. 또한 본 발명에서는 에러가 발생한 패킷의 수신이 완료된 경우에 상기 물리계층으로부터 다음 패킷을 수신할 준비를 하는 과정을 더 수행한다.

【발명의 구성 및 작용】

이하 본 발명의 바람직한 실시예의 상세한 설명이 첨부된 도면들을 참조하여 설명될 것이다. 하기에서 본 발명을 설명함에 있어, 관련된 공지 가능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다. 그리고 후술되는 용어들은 본 발명에서의 기능을 고려하여 정의내려진 용어들로서 이는 사용자 또는 칩설계자의 의도 또는 관례 등에 따라 달라질 수 있으므로, 그 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.

도 1은 본 발명에 따른 MAC계층에서의 수신 패킷에 대한 에러를 처리하는 구성을 보여주는 도면이다. MAC계층에서는 물리계층(PHYSICAL LAYER)(10)으로부터 패킷을 수신하여 선입선출(FIFO: First In First Out)메모리(50)에 저장하였다가 스

위치엔진인터페이스(SWITCH ENGINE INTERFACE)(60)를 통해 다음 스테이지(stage)인 스위치(도시하지 않음)로 전송하게 된다. 이러한 MAC계층에는 FIFO제어부(20), 에러제어부(40) 및 FIFO메모리(50)가 구비된다. 그리고 상기 FIFO제어부(20)의 내부에는 스테이트머신(STATE MACHINE)(30)이 구비된다.

상기 도 1에서, 에러제어부(40)는 룰리계층(10)으로부터 패킷(S2)이 FIFO제어부(20)로 수신될 시 이 수신되는 패킷(예: 4비트)에 에러가 발생하였는지 여부를 감지한다. 상기 에러제어부(40)는 수신되는 패킷의 충돌(collision), FIFO메모리(50)의 오버플로우(overflow), 패킷에 대한 패리티(parity) 및 CRC(Cyclic Redundancy Code)에러 등을 체크함으로써 수신 패킷에 에러가 발생하였는지 여부를 감지한다. 수신 패킷에 에러가 발생한 것으로 감지되는 경우, 에러제어부(40)는 이 사실을 나타내는 신호(S5: ERROR)를 FIFO제어부(20)로 출력한다. FIFO메모리(50)는 FIFO제어부(20)에 의한 제어신호(S3)에 따라 제어되어 룰리계층(10)으로부터 수신되는 패킷을 저장하였다가 위치엔진 인터페이스(60)로 전송하는 역할을 한다. FIFO제어부(20)는 룰리계층(10)으로부터 수신되는 패킷을 FIFO메모리(50)에 저장하였다가 위치엔진 인터페이스(60)로 전송하는 동작을 제어한다. 이러한 제어동작은 FIFO제어부(20)가 제어신호(S3)를 이용함으로써 이루어지게 된다. 이때의 제어신호(S3)로는 출력인에이블(OEN: Output ENable)신호, 라이트인에이블(WEN: Write ENable)신호, 칩선택(/CS: Chip Select)신호가 될 수 있다. 상기 FIFO제어부(20)의 내부에는 스테이트머신(STATE MACHINE)(30)이 구비되어 있다. 이 스테이트머신(30)은 에러제어부(40)로부터의 에러신호(S5)에 따라 FIFO제어부(20)의 동작상태를 결

정한다. 본 발명의 경우 스테이트머신(30)에 의해 FIFO제어부(20)는 아이들스테이트(IDLE STATE), 노말스테이트(NORMAL STATE) 또는 에러스테이트(ERROR STATE)로 동작하게 된다.

그리고 도 1에서 미설명한 참조부호 S1은 물리계층(10)으로부터 패킷이 수신됨을 나타내는 신호이고, S4는 FIFO제어부(20)가 패킷수신시 에러가 발생하였음을 나타내는 신호(ERR) 및 패킷의 수신을 완료하였음을 나타내는 신호(EOP: End Of Packet)이다.

도 2는 상기 스테이트머신(30)에 의해 결정되는 FIFO제어부(20)의 동작상태를 보여주는 스테이트다이아그램(STATE DIAGRAM)이고, 도 3은 도 1에 도시된 FIFO제어부(20)에 의해 수행되는 수신패킷에 대한 에러처리시 동작타이밍을 보여주는 도면이다.

지금, 도 1의 물리계층(10)으로부터 새로운 패킷이 수신되기 시작하여 정상적인 패킷이 수신되는 것으로 에러제어부(40)에 의해 감지되는 경우, FIFO제어부(20)는 이 수신된 패킷을 FIFO메모리(50)에 저장하였다가 스위치엔진 인터페이스(60)로 전송을 시작한다. 이와 같이 정상적인 패킷이 수신되는 경우는 S1(DATA VALID SIGNAL)신호가 레벨 "1"인 경우에 해당하며, 이러한 경우에 FIFO제어부(20)는 노말스테이트(도 2의 34)에 있게 된다.

한편, 스위치엔진 인터페이스(60)로 수신패킷을 전송하는 도중에 에러가 발생한 것으로 에러제어부(40)에 의해 감지되는 경우(S5신호가 레벨 "1"인 경우), FIFO제어부(20)은 에러스테이트(도 2의 36)로 바뀌게 된다. 이러한 경우 FIFO제어

부(20)는 스위치엔진 인터페이스(60)로의 수신패킷 전송을 중지한다. 보다 구체적으로 말하면, FIFO제어부(20)는 도 3에 도시된 바와 같이 FIFO메모리(50)으로 레벨 "1"의 칩선택신호(/CS)를 발생하여 수신패킷이 FIFO메모리(50)로 저장됨을 차단하고, 이와 함께 에러가 발생하였음을 나타내는 신호(ERR)와, 수신패킷의 완료를 나타내는 신호(EOP)를 발생하여 스위치엔진 인터페이스(60)로 전송한다. 참고적으로, 종래에는 수신패킷의 에러가 발생한 경우, FIFO제어부(20)는 그 에러가 발생한 패킷의 수신이 완료될 때까지 패킷을 수신하여 스위치엔진 인터페이스(60)로 전송하고, 패킷의 마지막까지 수신이 완료된 시점에서 에러가 발생하였음을 나타내는 신호 및 수신패킷의 완료를 나타내는 신호를 발생하여 스위치엔진 인터페이스(60)로 전송하게 된다.

이러한 에러 처리 동작중에, 룰리계층(10)으로부터 수신될 패킷이 없음을 나타내는 레벨 "0"의 S1신호가 수신되는 경우, FIFO제어부(20)는 아이들스테이트(32)로 바뀌어 새로운 상태가 된다. 이와 같은 아이들스테이트(32)에서 FIFO제어부(20)는 룰리계층(10)으로부터 다음에 수신될 패킷을 준비하게 된다.

【발명의 효과】

상술한 바와 같이 본 발명은 이더넷에서 MAC계층이 룰리계층으로부터 수신되는 패킷의 에러가 있는 경우에는 이때의 패킷을 무시하고, 다음 스테이지인 스위치 층으로 에러가 발생하였다는 사실을 나타내는 신호들을 전송하여 알려준다. 이에 따라 본 발명은 MAC계층에서 에러가 발생된 패킷을 수신함에 따른 오버헤드를 줄일

수 있으며, 또한 불필요한 패킷을 수신하는데 소비하여야하는 시간을 제거할 수 있는 이점이 있다. 이러한 이점은 결과적으로 이더넷의 MAC계층에서 수신성능을 향상시키는 이점이 있다.

한편 본 발명의 상세한 설명에서는 구체적인 실시예에 관해 설명하였으나, 본 발명의 범위에서 벗어나지 않는 한도내에서 여러가지 변형이 가능함은 물론이다. 그러므로 본 발명의 범위는 설명된 실시예에 국한되어 정해져서는 않되며 후술하는 특허청구의 범위뿐만 아니라 이 특허청구의 범위와 균등한 것들에 의해 정해져야 한다.

【특허청구범위】

【청구항 1】

이더넷에서 물리계층으로부터 패킷을 수신하고, 이 수신된 패킷을 스위치로 전송하는 매체접속제어(MAC)계층에서의 수신 패킷을 처리하는 방법에 있어서,
상기 물리계층으로부터 패킷을 수신하는 도중에 에러를 감지하는 과정과,
상기 에러 감지과정에서 에러가 감지되지 않는 경우에는 상기 수신되는 패킷
을 상기 스위치로 전송하는 과정과,
상기 에러 감지과정에서 에러가 감지되는 경우에는 상기 수신되는 패킷을 상
기 스위치로 전송함을 차단하는 과정으로 이루어짐을 특징으로 하는 수신 패킷의
에러 처리방법.

【청구항 2】

이더넷에서 물리계층으로부터 패킷을 수신하여 선입선출(FIFO)메모리에 저장
하였다가 스위치로 전송하는 매체접속제어(MAC)계층에서의 수신 패킷을 처리하는
방법에 있어서,

상기 물리계층으로부터 패킷을 수신하고, 이 수신되는 패킷을 상기 FIFO메모
리에 저장하는 과정과.

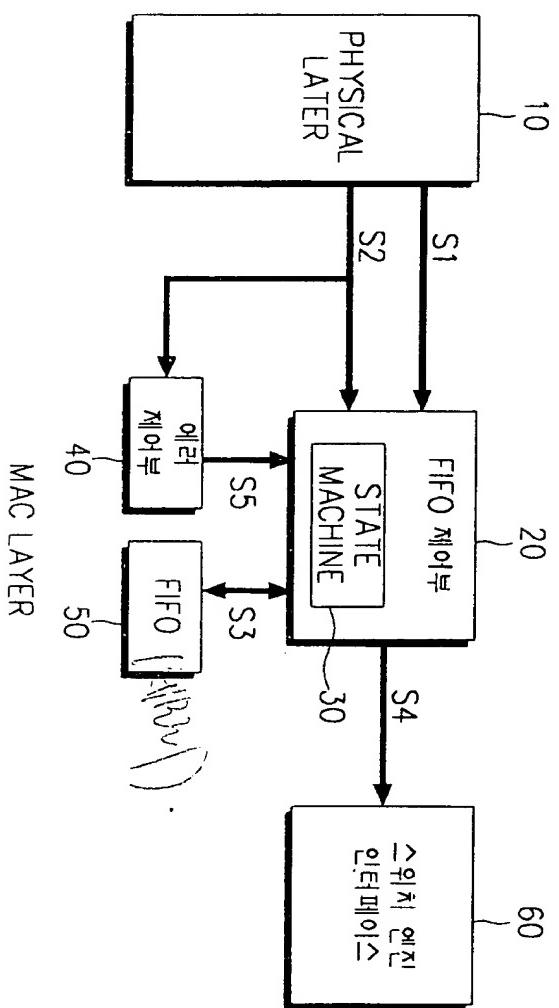
상기 패킷을 수신하는 도중에 에러를 감지하는 과정과,
상기 에러 감지과정에서 에러가 감지된 경우, 상기 수신되는 패킷을 상기
FIFO메모리에 저장하는 동작을 중지하는 과정과,

상기 패킷저장 중지과정을 수행할과 동시에 상기 스위치로 에러가 발생하였음을 나타내는 신호 및 수신패킷의 종료를 나타내는 신호를 전송하는 과정으로 이루어짐을 특징으로 하는 수신 패킷의 에러 처리방법.

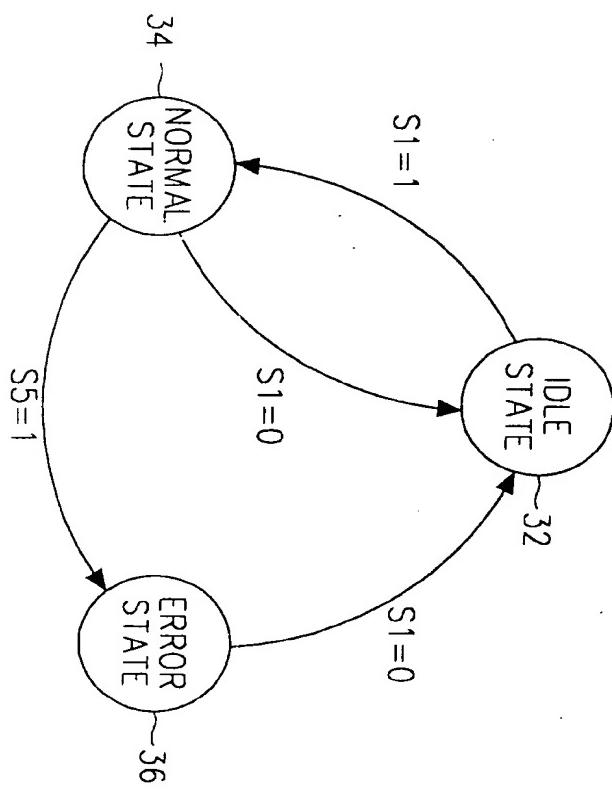
【청구항 3】

제2항에 있어서, 에러가 발생한 패킷의 수신이 완료된 경우 상기 물리계층으로부터 다음 패킷을 수신할 준비를 하는 과정을 더 포함하여 이루어짐을 특징으로 하는 수신 패킷의 에러 처리방법.

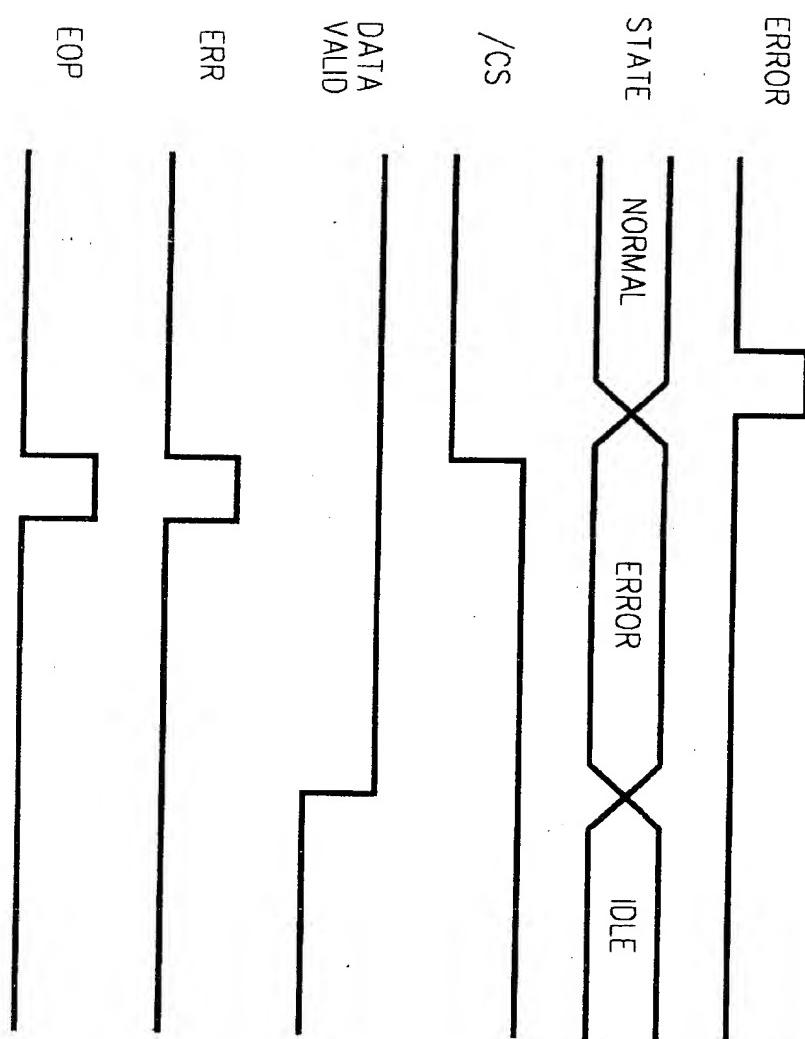
【부】
【부】 1

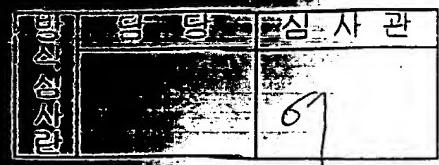


【H 2】



【H 3】





【서류명】 플로피디스크 제출서

【수신처】 특허청장

【제출일자】 2001.09.05

【제출인】

【성명(명칭)】 이건주

【출원인코드(대리인코드)】 9-1998-000339-8

【제출목록】

출원번호 10-1998-0059204의 최종본 FD

【취지】 특허법 시행규칙부칙 제3항에 의하여 위와같이 제출합니다

대리인

이건주



HACL-VIA
진자

⑩대한민국특허청(KR)

⑪공개특허공보(A)

⑫Int. CL
H 04 L 12/433

제 2155 호

⑬공개일자 1997. 2. 24

⑪공개번호 97- 9046

⑭출원일자 1995. 7. 29

⑫출원번호 95-23097

심사청구: 있음

⑮발명자 김종오 대전광역시 서구 월평동 하나로아파트 103-402
손승원 대전광역시 유성구 전민동 엑스포아파트 209동 1404호
김협중 대전광역시 유성구 어은동 한빛아파트 109동 901호
⑯출원인 한국전자통신연구소 소장 양승택
대전광역시 유성구 가정동 161번지 (우: 305-350)
한국전기통신공사 사장 이준
서울특별시 종로구 세종로 100번지 (우: 110-050)

⑰대리인 변리사 박해천·염주석

(전 5면)

⑲셀 수신 동기 복원 장치 및 방법

⑳요약

본 발명은 ATM 계층이 물리 계층으로부터 셀을 수신할 경우 셀의 동기 신호에 따라 셀을 버퍼에 저장하고 셀 동기가 어긋나면 이를 복원하기 위한 셀 동기 복원 장치 및 방법에 관한 것으로, 물리계층(11)으로부터 수신셀 요구신호(RCA)를 수신하여 셀읽기 클럭(RRDB)을 발생하는 셀데이터 클럭발생수단(31); 상기 셀데이터 클럭발생수단(31)에서 출력된 셀읽기 클럭(RRDB)에 의해 수신셀 동기신호(RSOC)와 수신셀 데이터(RDAT)를 입력받아 상기 수신셀 동기신호(RSOC)와 수신셀 데이터(RDAT)를 입력받아 상기 수신셀 동기신호(RSOC)로부터 수신셀 데이터(RDAT)를 버퍼에 저장하는 셀쓰기 계어수단(32); 상기 수신셀 동기신호(RSOC)가 정해진 시간내에 입력되는지의 여부와 상기 수신셀 동기신호(RSOC)의 입력여부를 판별하여 마이크로프로세서로 알려주고 계속하여 수신셀 동기신호(RSOC)가 정해진 시간내에 입력되지 않을 경우 재시동하는 셀동기 예러 검출 및 재시동수단(33)을 구비하는 것을 특징으로 하여 물리계층내 버퍼에 존재하는 비정상적인 데이터를 처리한 후 셀만을 ATM 계층으로 받아들이고 안정되게 셀데이터를 ATM 계층으로 수신하는 효과가 있다.

입력받고 시스템클럭(MSTCLK)을 클럭으로 하여 상기 지연신호(HOLD)를 입력받으면 셀풀상태신호(FF)를 출력하는 제3D플립플롭(511)을 구비하는 것을 특징으로 하는 셀 수신 동기 복원 장치.

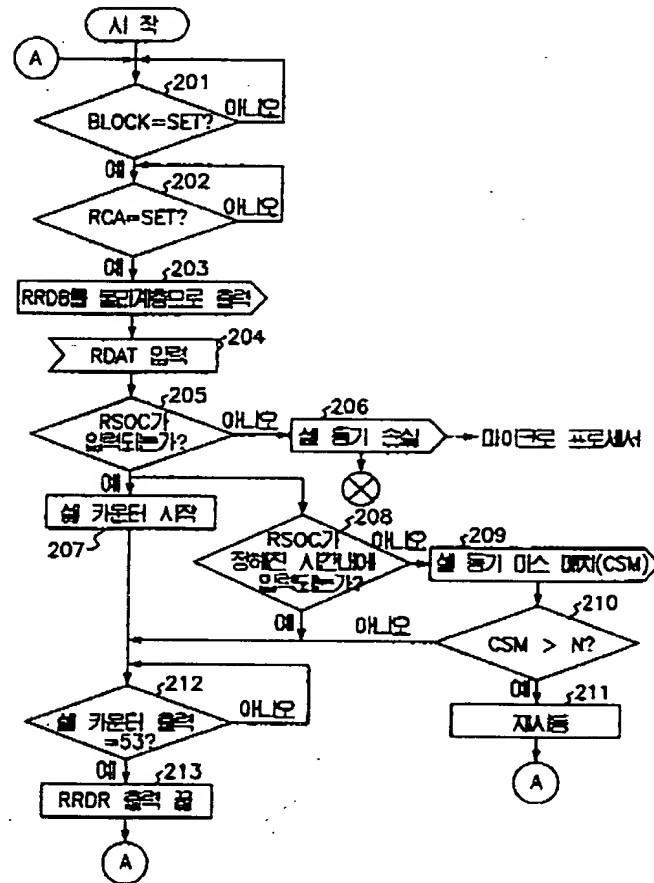
5. 제3항에 있어서, 상기 쓰기신호 제어부(502)는, 클리어신호(CLR)와 프리셋신호(PSET)를 입력으로 하는 제4논리곱 게이트(51) ; 상기 제4논리곱 게이트(51)의 출력을 셋단으로 입력받고 수신셀 동기신호(RSOC)를 클럭으로 하는 제4D플립플롭(52) ; 상기 제4D플립플롭(52)의 출력을 입력으로 하고 클리어 신호(CLR)를 셋단으로 입력받으며 시스템클럭(MSTCLK)을 클럭으로 하는 제5D플립플롭(53) ; 상기 제5D플립플롭(53)의 출력을 입력으로 하고 클리어 신호(CLR)를 셋단으로 입력받으며 시스템클럭(MSTCLK)을 클럭으로 하여 EN1을 출력하는 제6D플립플롭(54) ; 상기 EN1과 반전된 EN2를 입력으로 하는 제5논리곱 게이트(55) ; 상기 EN1과 반전된 EN2를 입력으로 하여 카운터 로드신호(CNTLD)를 출력하는 부정 제6논리곱 게이트(56) ; 및 상기 제5논리곱 게이트(55)의 출력과 셀풀상태신호(FF)를 입력으로 하여 쓰기인예이블신호(WEN)를 출력하는 제2논리합 게이트(57)를 구비하는 것을 특징으로 하는 셀 수신 동기 복원 장치.

6. 제1항에 있어서, 상기 셀동기 에러검출 및 재시동수단(33)은, 데이타단(D(6:0))이 접지되고 시스템클럭(MSTCLK)을 클럭으로 하여 유효셀 인예이블신호(CNTEN)의 반전값과 클리어신호(CLR)의 반전값 및 지연신호(HOLD)를 입력받아 카운트한 출력(F(6:0))에서 첫번째값(M1)과 106번째값(M106)을 추출하는 제3카운터 및 디코더(61, 62) ; 클리어신호(CLR)와 시스템클럭(MSTCLK)에 따라 상기 제3카운터 및 디코더(61, 62)의 출력(M1, M106)과 셀동기 미스매치클럭신호1(CSM_CK1)를 입력받고 셀동기 손실신호(LOCS)와 셀동기 미스매치신호(CSM)을 출력하는 셀동기상태 확인 및 손실 검증부(601) ; 상기 셀동기 미스매치신호(CSM)의 반전값과 셀동기 미스매치클럭신호2(CSM_CM2)를 입력으로 하는 제3논리합 게이트(69) ; 데이타단(D(N-1:0))이 접지되고 시스템클럭(MSTCLK)을 클럭으로 하여 리sume신호(RESUME)와 시스템리셋신호(MSTCLR)의 반전값을 입력으로 하는 카운터(610) ; 및 시스템리셋신호(MSTCLR)를 리셋신호로 하고 시스템클럭(MSTCLK)을 클럭으로 하여 상기 카운터(610)의 출력을 입력받아 재시동신호(IFCLR)를 출력하는 재시동신호 발생부(602)를 구비하는 것을 특징으로 하는 셀 수신 동기 복원 장치.

7. 물리제충(11)으로부터 수신셀 요구신호(RCA)를 수신하여 셀읽기 클럭(RRDB)을 발생하는 셀데이터 클럭발생수단(31) ; 물리제충(11)으로부터 수신셀 동기신호(RSOC)와 수신셀 데이터(RDAT)를 입력받아 수신셀 데이터(RDAT)를 버퍼에 저장하는 셀쓰기 제어수단(32) ; 상기 셀데이터 클럭발생수단(31)과 셀쓰기 제어수단(32)에 연결되어 재시동을 제어하는 셀동기 에러 검출 및 재시동수단(33)을 구비하는 셀 수신 동기 복원 장치에 적용되는 셀 수신 동기 복원 방법에 있어서, 마이크로프로세서로부터 셀 입력이 허용되면(BLOCK=1) 수신셀 요구신호(RCA)의 인예이블 여부를 판별하여 수신셀 요구신호(RCA)가 1로 인예이블되면, 셀 읽기 클럭(RRDB)을 물리제충으로 출력하는 제1단계 ; 물리제충내의 버퍼에 존재하는 수신셀 데이터(RDAT)를 읽어내면서 수신셀 동기신호(RSOC)의 입력 여부를 판별하는 제2단계 ; 상기 수신셀 동기신호(RSOC)가 입력되면 셀카운트를 시작함과 동시에 수신셀 동기신호(RSOC)가 정해진 시간내에 입력되는지를 판별하여 셀 읽기 클럭(RRDB)의 출력을 끌내거나 재시동을 수행하는 제3단계 ; 및 상기 수신셀 동기신호(RSOC)가 1셀시간이 지난 후에도 입력되지 않을 경우 셀 동기가 손실되었음을 선언하고 이를 마이크로프로세서에서 인터럽터 방식으로 전달한 후 셀 입력을 중단하는 제4단계를 포함하는 것을 특징으로 하는 셀 수신 동기 복원 방법.

8. 제7항에 있어서, 상기 제3단계는, 상기 수신셀 동기신호(RSOC)가 입력되면 수신셀 데이터(RDAT)를 ATM 계층버퍼에 저장하면서 셀카운터를 시작하고, 수신셀 동기신호(RSOC)가 정해진 시간내에 입력되는지의 여부를 판별하는 제5단계 ; 상기 수신셀 동기신호(RSOC)가 정해진 시간내에 입력되지 않을 경우 셀 동기미스매치상태를 선언한 뒤, 셀동기 미스매치(CSM)가 N번 이상 발생할 경우는 재시동하여 상기 제1단계로 복귀하

제 7 도



특허청구의 범위

1. 물리계층(11)에서 ATM 계층(12)으로 셀을 전달할 때 셀의 동기 신호로부터 정확히 셀을 버퍼에 저장하고 셀의 동기신호가 계속해서 어긋날 경우 재시동하는 셀 수신 동기 복원장치에 있어서, 물리계층(11)으로부터 수신셀 요구신호(RCA)를 수신하여 셀읽기 클럭(RRDB)을 발생하는 셀데이터 클럭발생수단(31) : 상기 셀데이터 클럭발생수단(31)에서 출력된 셀읽기 클럭(RRDB)에 의해 수신셀 동기신호(RSOC)와 수신셀 데이터(RDAT)를 입력받아 상기 수신셀 동기신호(RSOC)로부터 수신셀 데이터(RDAT)를 버퍼에 저장하는 셀쓰기 제어수단(32) ; 및 상기 수신셀 동기신호(RSOC)가 정해진 시간내에 입력되는지의 여부와 상기 수신셀 동기신호(RSOC)의 입력여부를 판별하여 마이크로프로세서로 알려주고 계속하여 수신셀 동기신호(RSOC)가 정해진 시간내에 입력되지 않을 경우 재시동하는 셀동기 예러 검출 및 재시동수단(33)을 구비하는 것을 특징으로 하는 셀 수신 동기 복원 장치.

2. 제1항에 있어서, 상기 셀데이터 클럭 발생수단(31)은, 상기 셀 수신 가능신호(BLOCK)와 수신셀 요구신호(RCA)를 입력으로 하는 제1논리곱 게이트(41) : 시스템클럭(MSTCLK)을 리셋단으로 입력받고 클리어신호(CLR)를 클럭으로 하여 상기 제1논리곱 게이트(41)의 출력을 입력단으로 입력받는 제1D플립플롭(42) : 상기 제1D플립플롭(42)의 출력과 셀수신 인에이블신호(RCAEN)를 입력으로 하는 제2논리곱 게이트(43) : 상기 시스템클럭(MSTCLK)을 리셋단으로 입력받고 클리어신호(CLR)를 클럭으로 하여 상기 제2논리곱 게이트(43)의 출력을 J입력단으로 입력받고 셀읽기를 끝료신호(RRDB-END)의 반전값을 K입력단으로 입력받아 유효셀 인에이블신호(CNTEN)를 출력하는 제1JK플립플롭(44) : 및 상기 유효셀 인에이블신호(CNTEN)의 반전값과 시스템신호(MSTCLK)를 입력받아 셀 읽기 클럭(RRDB)를 출력하는 제1논리합 게이트(45)를 구비하는 것을 특징으로 하는 셀 수신 동기 복원 장치.

3. 제1항에 있어서, 상기 셀쓰기 제어수단(32)은, 클리어신호(CLR)와 셀 출력신호(CTX) 및 쓰기 인에이블신호(WEN)를 입력으로 하여 유효셀 인에이블신호(CNTEN) 또는 시스템클럭(MSTCLK)에 따라 지연신호(HOLD)와 셀풀상태신호(FF)를 출력하는 풀상태 감지부(501) : 시스템클럭(MSTCLK)과 전원전압을 입력으로 하여 쓰기클럭(WCLK)을 출력하는 제3논리곱 게이트(523) : 클리어신호(CLR)와 프리셋신호(PSET)를 입력받고 수신셀 동기신호(RSOC) 또는 시스템클럭(MSTCLK)을 클럭으로 하여 E1과 카운터 로드신호(CNTLD)를 출력하고 셀풀상태신호(FF)에 따라 쓰기 인에이블신호(WEN)를 출력하는 쓰기신호 제어부(502) : 클리어신호(CLR)로 셋되고 시스템클럭(MSTCLK)을 클럭으로 하는 두개의 메지스터(524)로 이루어져 수신셀 데이터(RDAT)를 입력받은 후, 송신 데이터(WDAT)를 출력하는 버퍼(503) : 시스템클럭(MSTCLK)을 클럭으로 하고 클리어신호(CLR)의 반전값과 카운터 로드신호(CNTLD)의 반전값을 입력받아 한셀을 구성하는 바이트수를 카운터하여 첫번째값(C1)과 48번째값(C48)을 추출하는 제1카운터 및 디코더(512, 513) : 클리어신호(CLR)를 리셋단으로 입력받고 시스템클럭(MSTCLK)을 클럭으로 하여 상기 제1카운터 및 디코더(512, 513)의 출력을 입력단으로 입력받으면 프리셋신호(PSET)와 셀읽기를 끝료신호(RRDB-END)를 출력하는 종료신호 발생부(504) : 및 클리어신호(CLR)를 리셋단으로 입력받고 시스템클럭(MSTCLK)을 클럭으로 하여 상기 제1카운터 및 디코더(512, 513)의 출력(C1, C48)을 입력받으면 셀수신 인에이블신호(RCAEN)와 EN2를 출력하는 셀수신 인에이블신호 발생부(505)를 구비하는 것을 특징으로 하는 셀 수신 동기 복원 장치.

4. 제3항에 있어서, 상기 풀상태 감지부(501)는, 클리어신호(CLR), 셀 출력신호(CTX) 및 쓰기 인에이블신호(WEN)를 입력으로 하여 디코더 풀상태 출력신호(INFF)를 출력하는 제2카운터 및 디코더(58, 59) : 클리어신호(CLR)를 리셋단으로 입력받고 유효셀 인에이블신호(CNTEN)를 클럭으로 하여 상기 디코더 풀상태 출력신호(INFF)를 입력받으면 지연신호(HOLD)를 출력하는 제2D플립플롭(510) : 및 클리어신호(CLR)를 셋단으로

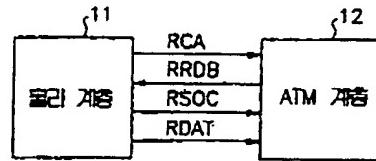
는 제6단계;; 및 상기 셀동기 미스매치(CSM)의 발생 갯수가 N 이하일 경우 수신셀 동기신호(RSOC)가 정해진 시간내에 입력된 경우와 동일하게 셀데이터인 수신셀 데이터(RDAT)를 53번 버퍼에 저장하고 셀 읽기 클럭(RRDB)의 출력을 끝내어 상기 제1단계로 복귀하는 제7단계를 포함하는 것을 특징으로 하는 셀 수신 동기 복원 방법.

※ 참고사항: 최초출원 내용에 의하여 공개하는 것임.

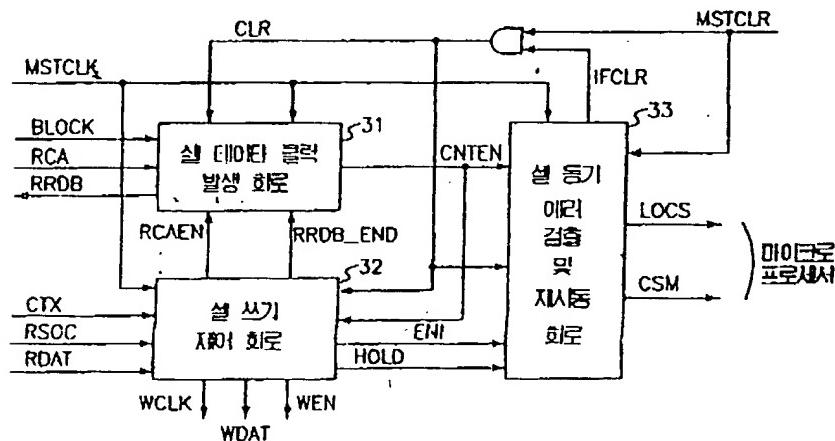
도면의 간단한 설명

제1도는 본 발명이 적용되는 ATM 계층과 물리 계층간의 신호 흐름도, 제3도는 본 발명에 따른 ATM 셀 수신 동기 복원 장치의 구성도, 제4도는 셀 데이터 클럭 발생 회로의 상세 구성도, 제7도는 본 발명에 따른 ATM 셀 수신 동기 복원의 처리 흐름도.

제 1 도



제 3 도



제 4 도

